

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222633

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

H01L 21/768

H01L 21/318

(21)Application number : 07-053391

(71)Applicant : YAMAHA CORP

(22)Date of filing : 17.02.1995

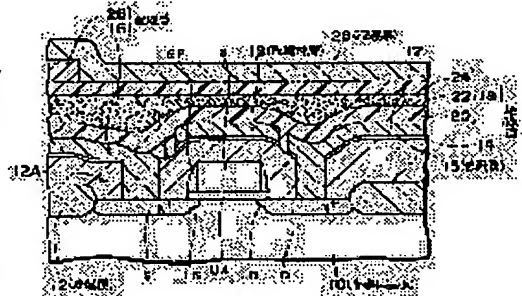
(72)Inventor : YAMAHA TAKAHISA  
HIRAIDE SEIJI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To prevent the hot carrier resistance deterioration due to moisture and to reduce an interface state density in a semiconductor device having a MOS transistor.

**CONSTITUTION:** After a MOS transistor having a gate electrode layer G on the surface of a semiconductor substrate 10, an interlayer insulating film 14 and a shielding film 15 are sequentially formed thereon. After desired connecting holes are formed on the film 14 and 15, wiring layers 16, 17 and a wiring material layer 19 are formed. The layers 16, 17, 18 are all made of Al alloy layers having a Ti layer as the lowermost layer. After an interlayer insulating film 18 is formed to cover the layers 16, 17, 19, a wiring layer 26 is formed thereon. The film 18 includes a spin-on glass film 22, and contains moisture. The layer 19 prevents the moisture diffusion from the film 18 to the electrode layer G. The layer 15 prevents the occlusion of moisture concerned seed (H<sub>2</sub>O, OH<sup>-</sup>, H<sup>+</sup>) to the Ti layer of the layer 19.



## LEGAL STATUS

[Date of request for examination] 15.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2797994

[Date of registration] 03.07.1998

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A substrate, the MOS transistor formed in the front face of this substrate, and the 1st interlayer insulation film which covered this MOS transistor and was formed in the front face of said substrate, What is the wiring material layer for moisture diffusion prevention which covered the gate electrode layer of said MOS transistor, and was formed on this 1st interlayer insulation film, and has a titanium layer as the lowest layer, It is the semiconductor device equipped with the 2nd interlayer insulation film which covers said wiring material layer, is formed on said 1st interlayer insulation film, and contains moisture. The semiconductor device characterized by carrying out mediation arrangement of the moisture related kind screen between said 1st interlayer insulation film and said titanium layers where contact of said 1st and 2nd interlayer insulation films is secured.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention prevents the occlusion of the moisture related kind ( $H_2O$ ,  $OH^-$ , and  $H^+$ ) by the titanium layer as the lowest layer of a wiring material layer, and enables reduction of interface state density while it prevents the moisture diffusion to a gate electrode layer from the interlayer insulation film containing especially moisture in a wiring material layer about semiconductor devices, such as LSI which has a MOS transistor, and prevents hot carrier resistance degradation.

[0002]

[Description of the Prior Art] Conventionally, as a flattening technique of the interlayer insulation film in the MOS mold LSI etc., what includes insulator layers, such as spin-on glass (SOG), in an interlayer insulation film is known.

[0003] Drawing 3 shows some MOS molds LSI using this kind of flattening technique. After forming the gate electrode layer G through gate dielectric film OX, the source field LS of the N type of low high impurity concentration and the drain field LD are formed in the front face of the semi-conductor substrate 10 which consists of silicon by ion-implantation processing etc. And it is  $N^+$  of high high impurity concentration by the ion-implantation processing after forming the side spacer SP in the both sides of the electrode layer G etc. The source field S of a mold and the drain field D are continued and formed in Fields LS and LD, respectively.

[0004] Next, the MOS transistor formed as mentioned above is covered in a substrate top face, and an insulator layer 14 is formed in it. as an insulator layer 14 — CVD (chemical vapor deposition) — the BPSG (boron Lynn silicic-acid glass) film formed by law is used.

[0005] Next, after forming the connection hole corresponding to source contact, drain contact, etc. in an insulator layer 14, the source wiring layer 16 and the drain wiring layer 17 as a wiring layer of the 1st layer are formed by putting and carrying out patterning of the wiring material layer to a substrate top face. What carried out the laminating of Ti layer 16a, TiN layer 16b, aluminum alloy (for example, aluminum-Si-Cu) layer 16c, and the 16d of the TiN layers to order from the bottom as wiring layers 16 and 17 as drawing 5 showed a layer 16, for example is used. The thing and 16d of TiN layers in which a thing for Ti layer 16a to reduce contact resistance and TiN layer 16b have barrier property are for preventing a light reflex at the time of phot lithography processing.

[0006] Next, on an insulator layer 14, wiring layers 16 and 17 are covered and an interlayer insulation film 18 is formed. After forming the silicon oxide film 20, for example by the plasma-CVD method using a tetrapod ethoxy silane (TEOS) as an insulator layer 18, what formed the SOG film 22 in the shape of flatness by the rotation applying method etc. on it, and formed the silicon oxide film 24 by the plasma-CVD method for using TEOS on it further is used.

[0007] Then, the wiring layer 26 of a two-layer eye is formed on an insulator layer 18, a protective coat 28 is formed on it, and annealing is performed at about 400 degrees C in the ambient atmosphere containing hydrogen. As a protective coat 28, the silicon nitride film formed, for example by the plasma-CVD method is used.

[0008]

[Problem(s) to be Solved by the Invention] Since according to the above-mentioned conventional technique an interlayer insulation film 18 is hygroscopic and contains the insulator layer of watery SOG film 22 grade, moisture is spread in the gate electrode layer G from an insulator layer 18, and there is a trouble of degrading the hot carrier resistance of a MOS transistor.

[0009] In order to cope with such a trouble, the first-in-a-roll artificer of this application proposed previously the semiconductor device of a configuration as shown in drawing 4 (refer to Japanese Patent Application No. No. 247154 [ six to ])). In drawing 4 , the same sign is given to the same part as drawing 3 , and detailed explanation is omitted.

[0010] The equipment of drawing 4 differing from the equipment of drawing 3 is having formed the wiring material layer 19 on the insulator layer 14 so that the formation process of wiring layers 16 and 17 might be diverted and the gate electrode layer's G might be covered. In this case, the wiring material layer 19 has a configuration as shown in drawing 5 , and may be following either of the wiring layers 16 and 17, or may be separated from wiring layers 16 and 17.

[0011] Since the moisture diffusion to the electrode layer G can be prevented from an insulator layer 18 in the wiring material layer 19 according to the configuration of drawing 4 , degradation of hot carrier resistance can be prevented. However, it became clear that there was a trouble that interface state density cannot fully be reduced by the last annealing treatment.

[0012] The next table 1 shows the configuration of an interlayer insulation film 18 to the configuration list of wiring layers 16 and 17 and the wiring material layer 19 about drawing 3 and the samples 1-4 created every transistor of 4.

[0013]

[Table 1]

サンプル		1	2	3	4
図3の16,17又は 図4の16,17,19		TiN/Al合金/TiN/Ti			WSi/Al合金/WSi
		Ti = 20nm		Ti = 40nm	
図3又は 図4の18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG 除去	SOG 除去	SOG 除去
	20	TEOS	TEOS	TEOS	TEOS

Meaning that a display like [ here ] P/Q/R about layers 16, 17, and 19 carries out the laminating of R layers, Q layers, and the P layers to order from the bottom, "Ti=" expresses the thickness of Ti layer and "aluminum alloy" expresses an aluminum-Si-Cu alloy, respectively. Moreover, "TEOS" means, respectively having removed the silicon oxide film formed by the plasma-CVD method for using TEOS by etchback processing, after "SOG" formed the SOG film and "SOG removal" formed the SOG film about an insulator layer 18.

[0014] The insulator layer 14 was taken as the BPSG film with a thickness of 750nm. Moreover, each thickness of the silicon oxide film 20 and 24 was set to 500nm, and thickness of the SOG film 22 was set to 500nm. Furthermore, the protective coat 28 was used as the silicon nitride film with a thickness of 1000nm.

[0015] The next table 2 shows the result of having measured the subthreshold level slope every sample of 1-4 which were shown in Table 1, and the unit of the numeric value for every sample is mV/decade.

[0016]

[Table 2]

トランジスタ	サンプル			
	1	2	3	4
図 3	85.6	85.9	85.9	85.7
図 4	85.7	91.7	95.5	85.6

If variation of a subthreshold level slope is set to  $\Delta S$  and variation of interface state density is set to  $\Delta D_{it}$ ,  $\Delta S$  is proportional to  $\Delta D_{it}$  ( $\Delta S \propto \Delta D_{it}$ ). According to Tables 1 and 2, compared with the sample of others [ samples / 2 and 3 / which have the configuration of drawing 4 ], it turns out that reduction of interface state density is not enough. Moreover, 40nm understands that whenever [ reduction / of interface state density ] is also much more inadequate with the thickened sample 3 from 20nm for Ti layer as the lowest layer of the wiring material layer 19.

[0017] The purpose of this invention is in the semiconductor device which prevented hot carrier resistance degradation by covering a gate electrode layer in a wiring material layer to fully reduce interface state density.

[0018]

[Means for Solving the Problem] The MOS transistor by which the semiconductor device concerning this invention was formed in the front face of a substrate and this substrate, The 1st interlayer insulation film which covered this MOS transistor and was formed in the front face of said substrate, What is the wiring material layer for moisture diffusion prevention which covered the gate electrode layer of said MOS transistor, and was formed on this 1st interlayer insulation film, and has a titanium layer as the lowest layer, It is the semiconductor device equipped with the 2nd interlayer insulation film which covers said wiring material layer, is formed on said 1st interlayer insulation film, and contains moisture. It is characterized by carrying out mediation arrangement of the moisture related kind screen between said 1st interlayer insulation film and said titanium layers, where contact of said 1st and 2nd interlayer insulation films is secured.

[0019]

[Function] According to Tables 1 and 2 shown above, with the sample 4 which adopted a WSi/aluminum alloy / WSi structure, interface state density is reduced by any transistor of drawing 3 or drawing 4 . Moreover, in the sample 1 of structure (non etchback structure of SOG) with much moisture contained in an insulator layer 18, in spite of using Ti layer as the lowest layer of the wiring material layer 19, interface state density is reduced with any transistor of drawing 3 or drawing 4 . That is, in the samples 2 and 3 of structure (etchback structure of SOG) with little moisture contained in an insulator layer 18, when Ti layer is used as the lowest layer of the wiring material layer 19, interface state density is not fully reduced.

[0020] By the way, interface state density is Si/SiO<sub>2</sub>. It is the trivalence Si of an interface (Si<sup>3+</sup>-Si<sup>-</sup>) and the hydrogen at the time of the last annealing is said to carry out termination of this trivalence Si like (Si<sup>3+</sup>-Si-OH), and to reduce interface state density. However, according to the experiment of an artificer, even if it performed the last annealing in nitrogen-gas-atmosphere mind, interface state density was reduced. Then, for an artificer, the moisture related kind in an insulator layer 18 (H<sub>2</sub>O, OH<sup>-</sup>, and H<sup>+</sup>) is Si/SiO<sub>2</sub> in the last annealing. It was spread even in the interface and I think that termination of the trivalence Si is carried out like (Si<sup>3+</sup>-Si-H, Si<sup>3+</sup>-Si-OH).

[0021] When there is a Ti layer which carries out occlusion of the moisture related kind (H<sub>2</sub>O, OH<sup>-</sup>, and H<sup>+</sup>) to right above [ transistor ], the moisture related kind concentration near this transistor falls, and interface state density is not reduced (samples 2 and 3). Moreover, reduction of interface state density is not so enough as there are many amounts of Ti (sample 3). On the other hand, since sufficient moisture related kind concentration will be secured even if occlusion of a part of the moisture is carried out to Ti layer if moisture of enough is in an insulator layer 18, interface state density is reduced (sample 1). Moreover, if the layer which does not carry out occlusion of the moisture related kind is in right above [ transistor ], since moisture related kind concentration will not fall, interface state density is reduced (sample 4).

[0022] Since according to the configuration of this invention mediation arrangement of the moisture related kind screen was carried out between the 1st interlayer insulation film and Ti layer where contact of the 1st and 2nd interlayer insulation films is secured, while diffusion of a moisture related kind is permitted from the 2nd interlayer insulation film to the 1st interlayer insulation film, a screen prevents

the occlusion of the moisture related kind by Ti layer. Therefore, near the gate electrode layer, the concentration of a moisture related kind cannot fall but interface state density can fully be reduced by the last annealing.

[0023]

[Example] Drawing 1 and 2 show some MOS molds LSI concerning one example of this invention, and drawing 1 is equivalent to the cross section which meets the X-X' line of drawing 2.

[0024] For example, the field insulator layer 12 which has active field arrangement hole 12A by well-known selective oxidation processing is formed in the front face of the semi-conductor substrate 10 which consists of silicon. and — having mentioned above into the semi-conductor surface part in arrangement hole 12A — the same — the source field LS of gate dielectric film OX and the N type of low high impurity concentration and the drain field LD, the gate electrode layer G, the side spacer SP, and N+ of high high impurity concentration The source field S of a mold, the drain field D, etc. are formed. As an example, gate length could be 0.5 micrometers.

[0025] Next, the MOS transistor formed as mentioned above is covered in a substrate top face, and the 1st interlayer insulation film 14 is formed in it. As an insulator layer 14, the BPSG film with a thickness of 750nm was formed with the CVD method. Then, in order to carry out eburnation of the BPSG film, it heat-treated at 850 degrees C.

[0026] Next, the silicon nitride film with a thickness of 10nm was formed by the plasma-CVD method as a moisture related kind screen 15. In this case, the reactant spatter of silicon may be used instead of a plasma-CVD method. Moreover, the thickness of the silicon nitride film has desirable 50nm or less, when it takes into consideration removing alternatively at the below-mentioned dry etching process.

[0027] Next, after forming the connection hole corresponding to the source field S and the drain field D in the laminating of an insulator layer 14 and a screen 15, respectively, wiring material is put on a substrate top face, and the source wiring layer 16, the drain wiring layer 17, and the wiring material layer 19 are formed by carrying out patterning of the covering layer by phot lithography and dry etching processing. The wiring material layer 19 is formed by pattern which covers the gate electrode layer G as shown in drawing 2. Although it dissociated from wiring layers 16 and 17 and the wiring material layer 19 was formed in the example of drawing 2, by request, a wiring layer 16 or either of 17 may be followed, and the wiring material layer 19 may be formed. Wiring layers 16 and 17 are connected to the source field S and the drain field D in the source contact section SC and the drain contact section DC, respectively. The gate wiring layer which is not illustrated is connected with the gate electrode layer G in the gate contact section GC.

[0028] Layers 16, 17, and 19 set thickness to TiN/aluminum-Si-Cu/TiON/Ti=40/400/100/20nm using what permuted TiN layer 16b by the TiON layer in the configuration of drawing 5 as an example. A TiN layer may be used instead of a TiON layer. Dry etching was performed as an example on condition that quantity-of-gas-flow Cl<sub>2</sub> / BCl<sub>3</sub> =30/30sccm, and pressure 10mTorr. And the over etching following etching of wiring material removed the screen 15 alternatively by the pattern corresponding to layers 16, 17, and 19. This is to enable the 2nd below-mentioned interlayer insulation film 18 to contact an insulator layer 14.

[0029] Next, the 2nd interlayer insulation film 18 is formed in a substrate top face. After forming the silicon oxide film 20 with a thickness of 500nm by the plasma-CVD method by TEOS as an example as an insulator layer 18, the SOG film 22 with a thickness of 500nm was formed by the rotation applying method etc. on it, and the silicon oxide film 24 with a thickness of 500nm was further formed by the plasma-CVD method by TEOS on it. In this case, before formation of the silicon oxide film 24, only the thickness of 500nm may carry out etchback of the SOG film 22, it may be removed from a front face, and the silicon oxide film 24 may be formed on it. Although the insulator layer 18 obtained as a result is little compared with what does not carry out etchback of the SOG film 22, it contains moisture.

[0030] Next, after forming a desired connection hole in an insulator layer 18, the wiring layer 26 of a two-layer eye is formed on an insulator layer 18. And on an insulator layer 18, a wiring layer 26 is covered and a protective coat 28 is formed. As a protective coat 28, the silicon nitride film with a



thickness of 1000nm was formed by the plasma-CVD method as an example.

[0031] Then, the last annealing treatment is performed. This processing is N2 as an example. And H2 It carried out on 400 degrees C and the conditions for 30 minutes in the ambient atmosphere to include. Consequently, in the transistor of drawing 1 , interface state density was fully reduced.

[0032] According to the above-mentioned example, since the moisture diffusion to the gate electrode layer G is prevented from an insulator layer 18 in the wiring material layer 19, hot carrier resistance degradation can be prevented. Moreover, since mediation arrangement of the screen 15 was carried out between Ti layer as the lowest layer of the wiring material layer 19, and the insulator layer 14, it can prevent carrying out occlusion of the moisture related kind to Ti layer, and interface state density can fully be reduced.

[0033] This invention is not limited to the above-mentioned example, and can be carried out with various alteration gestalten. For example, as a screen 15, electric conduction film, such as not only insulator layers, such as silicon nitride, but aluminum, aluminum alloy, a refractory metal (for example, W), or refractory metal silicide (for example, WSi), may be used. Since an insulator layer does not cause the short-circuit between wiring etc. like the electric conduction film even if the etching remainder arises, it has the advantage which is easy to use from the electric conduction film.

[0034]

[Effect of the Invention] As mentioned above, since according to this invention reduction of interface state density was enabled while preventing hot carrier resistance degradation of a MOS transistor, the effectiveness it is realizable [ the MOS mold LSI of high reliance ] ineffective is acquired.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the substrate sectional view showing the semiconductor device concerning one example of this invention.

[Drawing 2] It is the plan showing the wiring arrangement in the equipment of drawing 1 .

[Drawing 3] It is the substrate sectional view showing an example of the conventional semiconductor device.

[Drawing 4] It is the substrate sectional view showing other examples of the conventional semiconductor device.

[Drawing 5] It is the sectional view showing an example of the conventional wiring layer.

[Description of Notations]

10: A semi-conductor substrate, 12 and 14, 18:insulator layer, 15:moisture related kind screen, 16 and 17, 26:wiring layer, 19:wiring material layer, 28:protective coat, S:source field, D:drain field, G : gate electrode layer.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222633

(43) 公開日 平成8年(1996)8月30日

(51) Int. Cl. <sup>6</sup>

H01L 21/768

21/318

識別記号

F I

H01L 21/90

21/318

J

C

B

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平7-53391

(22) 出願日 平成7年(1995)2月17日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 山葉 隆久

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(72) 発明者 平出 誠治

静岡県浜松市中沢町10番1号ヤマハ株式会社内

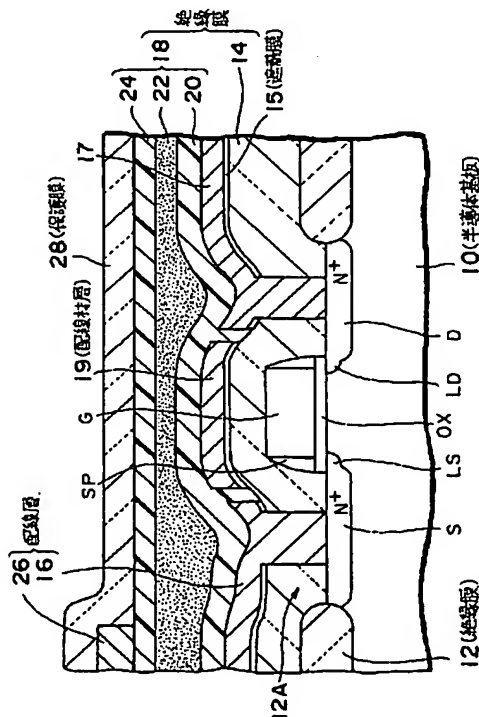
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 MOS型トランジスタを有する半導体装置において、水分によるホットキャリア耐性劣化を防ぎ且つ界面準位の低減を図る。

【構成】 半導体基板10の表面にゲート電極層Gを有するMOS型トランジスタを形成した後、その上に層間絶縁膜14及び遮蔽膜15を順次に形成する。所望の接続孔を膜14、15に設けた後、配線層16、17及び配線材層19を形成する。層16、17、19は、いずれも最下層としてTi層を有するAl合金層等から成る。層16、17、19を覆って層間絶縁膜18を形成した後、その上に配線層26を形成する。膜18は、スピン・オン・ガラス膜22等を含むもので、水分を含有する。層19は、膜18から電極層Gへの水分拡散を防ぎ、膜15は、層19のTi層に水分関連種 ( $H_2O$ ,  $OH^-$ ,  $H^+$ ) が吸蔵されるのを防ぐ。



## 【特許請求の範囲】

## 【請求項 1】基板と、

この基板の表面に形成された MOS 型トランジスタと、  
この MOS 型トランジスタを覆って前記基板の表面に形成された第 1 の層間絶縁膜と、

この第 1 の層間絶縁膜の上に前記 MOS 型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、

前記第 1 の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第 2 の層間絶縁膜とを備えた半導体装置であって、

前記第 1 及び第 2 の層間絶縁膜の接触を確保した状態で前記第 1 の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、MOS 型トランジスタを有する LSI 等の半導体装置に関し、特に水分を含有する層間絶縁膜からゲート電極層への水分拡散を配線材層で阻止してホットキャリア耐性劣化を防止すると共に配線材層の最下層としてのチタン層による水分関連種 ( $\text{H}_2\text{O}$ ,  $\text{OH}^-$ ,  $\text{H}^+$ ) の吸蔵を阻止して界面準位の低減を可能としたものである。

## 【0002】

【従来の技術】従来、MOS 型 LSI 等における層間絶縁膜の平坦化技術としては、スピン・オン・ガラス (SOG) 等の絶縁膜を層間絶縁膜中に含ませるものが知られている。

【0003】図 3 は、この種の平坦化技術を利用した MOS 型 LSI の一部を示すものである。シリコンからなる半導体基板 10 の表面には、ゲート絶縁膜 OX を介してゲート電極層 G を形成した後、イオン注入処理等により低不純物濃度の N 型のソース領域 LS 及びドレイン領域 LD を形成する。そして、電極層 G の両側にサイドスペーサ SP を形成した後、イオン注入処理等により高不純物濃度の N' 型のソース領域 S 及びドレイン領域 D をそれぞれ領域 LS 及び LD に連続して形成する。

【0004】次に、基板上面には、上記のようにして形成された MOS 型トランジスタを覆って絶縁膜 14 を形成する。絶縁膜 14 としては、例えば CVD (ケミカル・ベーパー・デポジション) 法により形成した BPSG (ボロン・リンケイ酸ガラス) 膜が用いられる。

【0005】次に、ソースコンタクト、ドレインコンタクト等に対応する接続孔を絶縁膜 14 に形成した後、基板上面に配線材層を被着してパターンングすることにより 1 層目の配線層としてのソース配線層 16 及びドレイン配線層 17 を形成する。配線層 16, 17 としては、例えば図 5 で層 16 について示すように下から順に Ti

層 16a、TiN 層 16b、Al 合金 (例えば Al-Cu) 層 16c 及び TiN 層 16d を積層したものが用いられる。Ti 層 16a は、コンタクト抵抗を低減するためのもの、TiN 層 16b は、バリア性を有するもの、TiN 層 16d は、ホトリソグラフィ処理時に光反射を防止するためのものである。

【0006】次に、絶縁膜 14 の上に配線層 16, 17 を覆って層間絶縁膜 18 を形成する。絶縁膜 18 としては、例えばテトラ・エトキシ・シラン (TEOS) を用いるプラズマ CVD 法によりシリコンオキサイド膜 20 を形成した後、その上に回転塗布法等により SOG 膜 22 を平坦状に形成し、さらにその上に TEOS を用いるプラズマ CVD 法によりシリコンオキサイド膜 24 を形成したものが用いられる。

【0007】この後、絶縁膜 18 の上に 2 層目の配線層 26 を形成し、その上に保護膜 28 を形成し、水素を含む雰囲気中で 400℃程度でアニールを行なう。保護膜 28 としては、例えばプラズマ CVD 法により形成したシリコンナイトライド膜が用いられる。

## 【0008】

【発明が解決しようとする課題】上記した従来技術によると、層間絶縁膜 18 が、吸湿性があり水分の多い SOG 膜 22 等の絶縁膜を含んでいるため、絶縁膜 18 からゲート電極層 G に水分が拡散し、MOS 型トランジスタのホットキャリア耐性を劣化させるという問題点がある。

【0009】このような問題点に対処するため、本願の筆頭発明者は、図 4 に示すような構成の半導体装置を先に提案した (特願平 6-247154 号参照)。図 4 において、図 3 と同様の部分には同様の符号を付して詳細な説明を省略する。

【0010】図 4 の装置が図 3 の装置と異なるのは、配線層 16, 17 の形成工程を流用してゲート電極層 G を覆うように配線材層 19 を絶縁膜 14 上に形成したことである。この場合、配線材層 19 は、例えば図 5 に示したような構成を有するもので、配線層 16, 17 のいずれか一方に連続していてもよく、あるいは配線層 16, 17 から分離されていてもよい。

【0011】図 4 の構成によると、絶縁膜 18 から電極層 G への水分拡散を配線材層 19 で阻止することができる。しかしながら、最終アニール処理で界面準位を十分に低減できないという問題点があることが判明した。

【0012】次の表 1 は、図 3, 4 の各トランジスタ毎に作成されたサンプル 1~4 について配線層 16, 17 及び配線材層 19 の構成並びに層間絶縁膜 18 の構成を示すものである。

## 【0013】

## 【表 1】

3		4			
サンプル		1	2	3	4
図 3 の 16,17 又は 図 4 の 16,17,19		TiN/Al 合金/TiN/Ti			WSi/Al 合金/WSi
		Ti = 20nm		Ti = 40nm	
図 3 又は 図 4 の 18	24	TEOS	TEOS	TEOS	TEOS
	22	SOG	SOG 除去	SOG 除去	SOG 除去
	20	TEOS	TEOS	TEOS	TEOS

ここで、層 16, 17, 19 に関する P/Q/R のような表示は、下から順に R 層、Q 層、P 層を積層したものであることを表わし、「Ti=」は、Ti 層の厚さを、「Al 合金」は、Al-Si-Cu 合金をそれぞれ表わす。また、絶縁膜 18 に関し、「TEOS」は、TEOS を用いるプラズマ CVD 法で形成したシリコンオキサイド膜を、「SOG」は、SOG 膜を、「SOG 除去」は、SOG 膜を形成した後エッチバック処理で除去したことをそれぞれ表わす。

【0014】絶縁膜 14 は、厚さ 750 nm の BPSG

トランジスタ	サンプル			
	1	2	3	4
図 3	85.6	85.9	85.9	85.7
図 4	85.7	91.7	95.5	85.6

サブスレッショルドスロープの変化量を  $\Delta S$  とし、界面準位の変化量を  $\Delta D_{it}$  とすると、 $\Delta S$  は  $\Delta D_{it}$  に比例する ( $\Delta S \propto \Delta D_{it}$ )。表 1, 2 によれば、図 4 の構成を有するサンプル 2, 3 が他のサンプルに比べて界面準位の低減が十分でないことがわかる。また、配線材層 19 の最下層としての Ti 層を 20 nm から 40 nm に厚くしたサンプル 3 では、界面準位の低減度が一層不十分であることもわかる。

【0017】この発明の目的は、配線材層でゲート電極層を覆うことによりホットキャリア耐性劣化を防止するようにした半導体装置において、界面準位を十分に低減することにある。

【0018】

【課題を解決するための手段】この発明に係る半導体装置は、基板と、この基板の表面に形成された MOS 型トランジスタと、この MOS 型トランジスタを覆って前記基板の表面に形成された第 1 の層間絶縁膜と、この第 1 の層間絶縁膜の上に前記 MOS 型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、前記第 1 の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第 2 の層間絶縁膜とを備えた半導体装置であって、前記第 1 及び第 2 の層間絶縁膜の接触を確保した状態で前記第 1 の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とするも

膜とした。また、シリコンオキサイド膜 20, 24 の厚さは、いずれも 500 nm とし、SOG 膜 22 の厚さは、500 nm とした。さらに、保護膜 28 は、厚さ 1000 nm のシリコンナイトライド膜とした。

【0015】次の表 2 は、表 1 に示した 1~4 の各サンプル毎にサブスレッショルドスロープを測定した結果を示すもので、各サンプル毎の数値の単位は、mV/decade である。

【0016】

【表 2】

のである。

【0019】

【作用】前掲の表 1, 2 によれば、WSi/Al 合金/WSi 構造を採用したサンプル 4 では、図 3 又は図 4 のいずれのトランジスタでも界面準位が低減されている。また、絶縁膜 18 に含まれる水分が多い構造 (SOG のノンエッチバック構造) のサンプル 1 では、配線材層 19 の最下層として Ti 層を用いているにもかかわらず、図 3 又は図 4 のいずれのトランジスタでも、界面準位が低減されている。つまり、絶縁膜 18 に含まれる水分が少ない構造 (SOG のエッチバック構造) のサンプル 2, 3 において、配線材層 19 の最下層として Ti 層を用いた場合に界面準位が十分に低減されない。

【0020】ところで、界面準位は、Si/SiO<sub>2</sub> 界面の三価 Si (Si≡Si-) であり、最終アニール時の水素がこの三価 Si を (Si≡Si-OH) のように終端して界面準位を低減するといわれている。しかし、発明者の実験によると、最終アニールを窒素雰囲気中で行なっても界面準位が低減された。そこで、発明者は、絶縁膜 18 中の水分関連種 (H<sub>2</sub>, O, OH, H') が最終アニール中に Si/SiO<sub>2</sub> 界面にまで拡散し、三価 Si を (Si≡Si-H, Si≡Si-OH) のように終端するものと考えている。

【0021】トランジスタ直上に水分関連種 (H<sub>2</sub>, O, OH, H') を吸蔵してしまう Ti 層がある場合、こ

のトランジスタの近傍の水分関連種濃度が低下して界面準位が低減されない(サンプル2, 3)。また、Tiの量が多いほど界面準位の低減が十分でない(サンプル3)。一方、絶縁膜18中に水分が十分にあれば、その水分の一部がTi層に吸蔵されても、十分な水分関連種濃度が確保されるので、界面準位が低減される(サンプル1)。また、水分関連種を吸蔵しない層がトランジスタ直上にあれば、水分関連種濃度が低下しないので、界面準位が低減される(サンプル4)。

【0022】この発明の構成によれば、第1及び第2の層間絶縁膜の接触を確保した状態で第1の層間絶縁膜とTi層との間に水分関連種遮蔽膜を介在配置したので、第2の層間絶縁膜から第1の層間絶縁膜へ水分関連種の拡散が許容されると共に遮蔽膜がTi層による水分関連種の吸蔵を阻止する。従って、ゲート電極層の近傍では、水分関連種の濃度が低下せず、最終アニールでは、十分に界面準位を低減することができる。

【0023】

【実施例】図1, 2は、この発明の一実施例に係るMOS型LSIの一部を示すもので、図1は、図2のX-X'線に沿う断面に相当する。

【0024】例えばシリコンからなる半導体基板10の表面には、周知の選択酸化処理によりアクティブ領域配置孔12Aを有するフィールド絶縁膜12を形成する。そして、配置孔12A内の半導体表面部分には、前述したと同様にゲート絶縁膜OX、低不純物濃度のN型のソース領域LS及びドレイン領域LD、ゲート電極層G、サイドスペーサSP、高不純物濃度のN'型のソース領域S及びドレイン領域D等を形成する。一例として、ゲート長は0.5 $\mu$ mとした。

【0025】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って第1の層間絶縁膜14を形成する。絶縁膜14としては、厚さ750nmのBPSG膜をCVD法により形成した。この後、BPSG膜を緻密化するために850℃で熱処理を行なった。

【0026】次に、水分関連種遮蔽膜15として、厚さ10nmのシリコンナイトライド膜をプラズマCVD法により形成した。この場合、プラズマCVD法の代りに、シリコンの反応性スパッタ法を用いてもよい。また、シリコンナイトライド膜の厚さは、後述のドライエッチング工程で選択的に除去することを考慮すると、50nm以下が好ましい。

【0027】次に、ソース領域S及びドレイン領域Dにそれぞれ対応する接続孔を絶縁膜14及び遮蔽膜15の積層に形成した後、基板上面に配線材を被着し、その被着層をホトリソグラフィ及びドライエッチング処理によりパターンニングすることによりソース配線層16、ドレイン配線層17及び配線材層19を形成する。配線材層19は、図2に示すようにゲート電極層Gを覆うような

パターンで形成する。図2の例では、配線材層19を配線層16, 17から分離して形成したが、所望により配線材層19を配線層16又は17のいずれかに連続して形成してもよい。配線層16, 17は、それぞれソースコンタクト部SC、ドレインコンタクト部DCにてソース領域S、ドレイン領域Dに接続される。図示しないゲート配線層は、ゲートコンタクト部GCにてゲート電極層Gと接続される。

【0028】層16, 17, 19は、一例として図5の構成においてTiN層16bをTiON層に置換したものを用い、厚さは、TiN/Al-Si-Cu/TiON/Ti=40/400/100/20nmとした。TiON層の代りにTiN層を用いてもよい。ドライエッチングは、一例としてガス流量Cl<sub>2</sub>/BCl<sub>3</sub>=30/30sccm、圧力10mTorrの条件で行なった。そして、配線材のエッチングに続くオーバーエッチングにより遮蔽膜15を層16, 17, 19に対応するパターンで選択的に除去した。これは、後述の第2の層間絶縁膜18が絶縁膜14に接触するのを可能にするためである。

【0029】次に、基板上面に第2の層間絶縁膜18を形成する。絶縁膜18としては、一例として厚さ500nmのシリコンオキサイド膜20をTEOSによるプラズマCVD法により形成した後、その上に厚さ500nmのSiOG膜22を回転塗布法等により形成し、さらにその上に厚さ500nmのシリコンオキサイド膜24をTEOSによるプラズマCVD法により形成した。この場合、シリコンオキサイド膜24の形成前にSiOG膜22を表面から500nmの厚さだけエッチバックして除去し、その上にシリコンオキサイド膜24を形成してもよい。この結果得られる絶縁膜18は、SiOG膜22をエッチバックしないものに比べて少量であるが、水分を含んでいる。

【0030】次に、絶縁膜18に所望の接続孔を形成してから絶縁膜18上に2層目の配線層26を形成する。そして、絶縁膜18の上には、配線層26を覆って保護膜28を形成する。保護膜28としては、一例として厚さ1000nmのシリコンナイトライド膜をプラズマCVD法により形成した。

【0031】この後、最終アニール処理を行なう。この処理は、一例としてN<sub>2</sub>及びH<sub>2</sub>を含む雰囲気中で400℃、30分の条件で行なった。この結果、図1のトランジスタにおいて、界面準位が十分に低減された。

【0032】上記した実施例によれば、絶縁膜18からゲート電極層Gへの水分拡散が配線材層19で阻止されるため、ホットキャリア耐性劣化を防止することができる。また、配線材層19の最下層としてのTi層と絶縁膜14との間に遮蔽膜15を介在配置したので、Ti層に水分関連種が吸蔵されるのを防ぐことができ、界面準位を十分に低減することができる。

7

【0033】この発明は、上記実施例に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、遮蔽膜15としては、シリコンナイトライド等の絶縁膜に限らず、Al、Al合金、高融点金属（例えばW）又は高融点金属シリサイド（例えばWSi）等の導電膜を用いてもよい。絶縁膜は、エッチング残りが生じても導電膜のように配線間ショート等を招かないので、導電膜より使いやすい利点がある。

【0034】

【発明の効果】以上のように、この発明によれば、MO S型トランジスタのホットキャリア耐性劣化を防止すると共に界面準位の低減を可能としたので、高信頼のMO S型LSIを実現可能となる効果が得られるものである。

【図面の簡単な説明】

8

【図1】 この発明の一実施例に係る半導体装置を示す基板断面図である。

【図2】 図1の装置における配線配置を示す上面図である。

【図3】 従来の半導体装置の一例を示す基板断面図である。

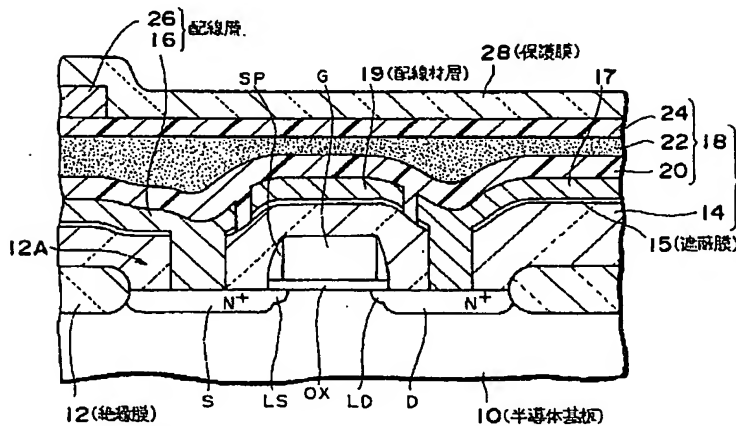
【図4】 従来の半導体装置の他の例を示す基板断面図である。

【図5】 従来の配線層の一例を示す断面図である。

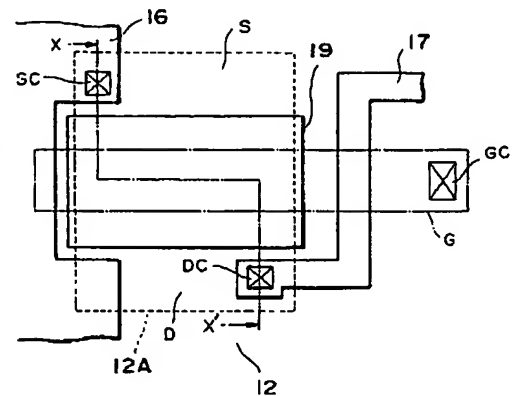
【符号の説明】

10：半導体基板、12、14、18：絶縁膜、15：水分関連種遮蔽膜、16、17、26：配線層、19：配線材層、28：保護膜、S：ソース領域、D：ドレイン領域、G：ゲート電極層。

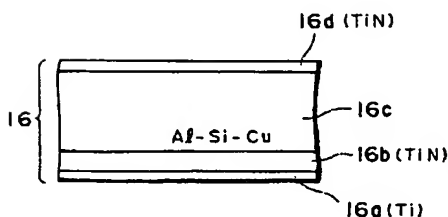
【図1】



【図2】



【図5】



【図3】

